

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	6918-4M		
21/52	C	9055-4M		
H 0 5 K 3/18	Z	7511-4E		
3/34	H	9154-4E		

審査請求 有 請求項の数10(全 13 頁)

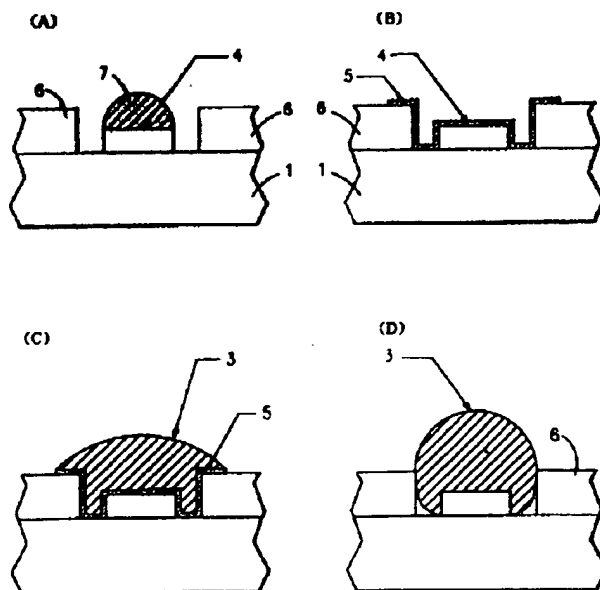
(21)出願番号	特願平4-155369	(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22)出願日	平成4年(1992)6月15日	(72)発明者	エリック ポール ディブル アメリカ合衆国13760、ニューヨーク州 ンディコット、マサチューセッツ アヴェ ニュー 408
(31)優先権主張番号	7 3 6 3 8 0	(74)代理人	弁理士 頓宮 孝一 (外4名) 最終頁に続く
(32)優先日	1991年7月26日		
(33)優先権主張国	米国 (U S)		

(54)【発明の名称】 はんだ量の増加方法、プリント回路デバイス、及びはんだ容積の増大方法

(57)【要約】

【目的】 高密度カードのランドのような小さい領域へ多量のはんだを付与すること。

【構成】 ランド4及びその周辺領域に比較的薄い金属層を付着させることによって、ランド領域を一時的に拡張する。ウェーブはんだ付けによってこの拡張領域5に過剰のはんだ3を付着させ、リフローさせる。これによって、薄い金属層ははんだ中へ溶解し、はんだは当初のランド寸法へ収縮する。はんだの容積が増大されるので、はんだ接合の強度及び信頼性が大幅に改良される。



【特許請求の範囲】

【請求項1】 高密度プリント回路デバイスの不連続領域へ付与することのできるはんだの量を増加させる方法であって、

デバイスの少なくとも1つの主表面へはんだマスクを付与する工程と、

不連続領域とその周りの境界線領域とに対応する領域をはんだマスクに開口する工程と、

金属又は合金の第1層を全体に付着させる工程と、

金属又は合金の第1層で被覆されたはんだマスクのみを被覆するためにフォトレジストを塗布、露光及び現像する工程と、

フォトレジストで被覆されていない領域へ第2の金属又は合金を付着させる工程と、

フォトレジストを剥離させる工程と、

はんだマスクから第1の金属又は合金の第1層をエッチングする工程と、

第2の金属又は合金が付着された領域の上へはんだを付与することによって、金属又は合金がはんだ内へ溶解し、得られるはんだ溶液は不連続領域の当初の寸法に収縮する工程と、

を含むはんだ量の増加方法。

【請求項2】 前記はんだマスクはバクレル又はプロバイマーから成る請求項1記載のはんだ量の増加方法。

【請求項3】 前記第1及び第2の金属又は合金は、金、銅、パラジウム、スズ及びこれらの金属から成る合金から成るグループから選択される請求項1記載のはんだ量の増加方法。

【請求項4】 直径約4ミル乃至約6ミル(約102乃至152ミクロン)のランドを含み、ランド上のはんだの高さが約1.3ミル乃至約2.6ミル(約33乃至66ミクロン)であるプリント回路デバイス。

【請求項5】 前記はんだ付け工程は、ウェーブはんだ付けによって達成される請求項1記載のはんだ量の増加方法。

【請求項6】 はんだ付けすべき画定金属領域へのはんだの容積を増大させる方法であって、

画定金属領域の外側の境界線領域に金属層を付着させることによってはんだ付けすべき領域を一時的に拡張し、はんだ付けすることを含み、

これによって、境界線の金属層ははんだ内へ溶解し、得られるはんだ溶液は画定金属領域へ収縮する、はんだ容積の増大方法。

【請求項7】 はんだ付けすべき前記画定領域は、有機材料を含むキャリア上に配置されている請求項6記載のはんだ容積の増大方法。

【請求項8】 金属又は合金の第1層を全体に付着させる工程に先立って、領域を付着され易いようにする追加の工程を含む請求項1記載のはんだ量の増加方法。

【請求項9】 付与されたはんだは共晶又は低温はんだ

である請求項1記載のはんだ量の増加方法。

【請求項10】 高密度プリント回路デバイスの不連続領域へ付与することのできるはんだの量を増加させる方法であって、

デバイスの少なくとも1つの主表面へはんだマスクを付与する工程と、

不連続領域とその周りの境界線領域とに対応する少なくとも1つの領域をはんだマスクに開口する工程と、

はんだマスクに開口され少なくとも1層の金属又は合金で被覆された領域のみを被覆するために、フォトレジストを塗布、露光及び現像する工程と、

フォトレジストによって保護されていない領域から金属又は合金の層をエッチングする工程と、

フォトレジストを剥離させる工程と、

フォトレジストによって保護された領域の上へはんだを付与することによって、その上に付着した金属又は合金層がはんだの中へ溶解し、得られるはんだ溶液が不連続領域の当初の寸法に収縮する工程と、

を含むはんだ量の増加方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的に、プリント回路カード及びボード、並びにその主表面にデバイスを実装するためのプロセスに係る。

【0002】更に詳細には、本発明は、キャリア(回路ボード、カード、可撓性基板、もしくは配線された半導体チップ又はウェハなど)の少なくとも1つの主表面の上のランド(別名パッド)と表面実装デバイスとの間を確実に接続する方法、及びその結果得られる製品に関するものである。実装デバイスには、抵抗器、コンデンサ等が含まれる。あるいは、実装デバイス自身がボード、カード、可撓性基板、もしくは配線された半導体チップ又はウェハから成っていてもよい。

【0003】本発明の方法及び製品は、高密度回路(High Density Circuitry)として知られる分野において特に有用であり、製品の独自性はこの分野で特に明白である。しかしながら、本発明は、不連続領域内のはんだ容積を増大することが必要とされる任意の状況において、有利に用いることができる。処理に伴われる温度及び化学薬品は非破壊的なので、本発明の方法及び製品は、無機及び半導体材料と共に有機材料も含む基板上のランドへ、又はランドの間に、ウェーブはんだによって接合することが可能である。

【0004】

【従来の技術】プリント回路デバイスは、長い間電子産業において種々の環境で使用されてきた。絶縁材料のフラット基板は薄くても厚くてもよく、エポキシ樹脂、ポリイミド、ポリエステル等の誘電材料層を複数含んでいるのが一般的である。誘電材料は、繊維で強化し、熱伝導性且つ非電気伝導性の粒子で充填することができる。

各層には、一般には銅から成る回路トレースがついている。トレースは小さいアイレット又はスクエア形状の導電領域（ランドと呼ばれる）で終結する。成層複合体内で積み重ねられた層を相互接続するために、ランドにはスルーホール（貫通孔）及びバイア（通路）が設けられる。また、外側ランドは、抵抗器、コンデンサ、集積回路等の構成要素を実装するスペースを提供する。

【0005】何年にも渡って、機能容量がますます大きくなると共に物理寸法がますます小型化し高密度化したプリント回路デバイスに注意が向けられてきた。小型化電子デバイスと共に将来的製造が計画されているスーパーコンピュータは、これ迄になく複雑で、またこれ迄になく機能的且つ寸法的な許容差が厳しい電子パッケージ性能の信頼性にかかっている。このような複雑且つ許容差が厳しい構造体の製造は、多数の新しい材料及びプロセスの使用を必要とし、多くの新しい問題を有する。

【0006】表面実装は、パッケージング効率及び性能を改良するために使用可能なテクノロジーである。表面実装テクノロジー（SMT）では、一般的に、入出力（I/O）リードを有する構成要素がキャリア表面のランドへはんだ付けされる。キャリアの真のスペースの効率的な使用に対する更なる改良は、キャリア主表面の両面に構成要素が実装される場合に見られる。

【0007】「電子パッケージングの原理（Principles of Electronic Packaging）」（Seraphimらにより1989年刊行）の第19章、577頁で論議されているように、電子パッケージングでは、シリコンチップが金属化基板（チップキャリア）へ取り付けられる場合、その接合は第1レベルの相互接続と呼ばれる。取付けが完了すると、このアセンブリは構成要素とみなされ、次の回路レベル、即ちプリント回路ボードへ取り付けられる。この接合は第2レベルの相互接続と呼ばれる。現在、開発の焦点は、1つのパッケージングレベルと1つの相互接続レベルを省いて、チップをボードへ直接取り付けることに絞られている。「超小型電子装置パッケージング・ハンドブック（Microelectronics Packaging Handbook）」（Tummalaらにより1989年刊行）の第1章、16頁及び42～43頁で論議されているように、相互接続は、カードのスルーホール内にピン及びワイヤを挿入してはんだ付けすることによって行われてきた。しかしながらSMTは、相互接続密度が増大した小型化されたセラミックスを提供する。可能な相互接続数の制限は、大体において、ランドのサイズとその空間密度とによって決定される。ランドが小さく間隔が近接すればするほど、そこへより多くのデバイスをはんだ付けすることができる。これは、ピンをランドへはんだ付けするか、あるいは、はんだボールがランド同士を接続する制御崩壊チップ接続（Controlled Collapse Chip Connection、C4）テクノロジー（別名フリップチップ接合）の何れかによって行われる。

【0008】ランドのサイズは、そこへ付けることのできるはんだの容積に直接関係する。また、はんだ付けされた相互接続の信頼性も、はんだ容積に直接関係する。空間的な制約によってランドサイズが減少される高密度テクノロジーでは、使用できるはんだの容積は極めて小さい。これらの制約の下で、キャリアと実装デバイスとの間に確実な接合を形成するためにランドへ再現性よく十分なはんだを付けることは、困難又は不可能である。一方、はんだが多いと、スミアリング及び短絡のため、接合不良が生じる。特に高密度デバイスのはんだ付けでは、本発明より前には、ランドからランドへ矛盾なく制御された再現性のよい方法で必要なはんだ容積を得るための満足できる方法は知られていない。従って、直径が約4乃至約6ミル（約102乃至152ミクロン）又はそれ以下のランドに、如何にして強力な信頼性のあるはんだ相互接続を形成することができるかという問題が与えられる。更に、ミスアライメントや他の初期はんだ付けの問題の場合には、有機誘電材料の存在下では、はんだ接合の再加工及び修復が非破壊的に達成されなければならない。

【0009】

【発明が解決しようとする課題】従って、本発明の目的は、特にはんだ付け環境に有機誘電材料が含まれる場合に、1つの電子回路デバイスの主表面に配置されたランドと、その上に実装される他の電子デバイスとの間に、強力な信頼性のあるはんだ相互接続を提供することである。

【0010】更に本発明の目的は、公称直径が6ミル（約152ミクロン）又はそれより小さいランドへ、強力な信頼性のあるはんだ相互接続を提供することである。

【0011】また、更に本発明の目的は、ランド上に収容することのできるはんだの容積を増大させることによって、高密度環境にあるランド同士の間、強力な信頼性のあるはんだ相互接続を提供することである。

【0012】

【課題を解決するための手段及び作用】上記及び他の目的及び利点は、はんだ付けすべきランドのサイズを一時的に増大し、実装すべきデバイスを配置するランドへはんだ付けを行い、はんだをリフローすることによって、本発明で達成される。上記の処理によって、ランドのサイズを増大させた金属又は合金はんだ中へ溶解するので、はんだはランドの元のサイズへ収縮する。再加工を容易にするために、はんだは共晶又は他の低融解温度のはんだであるのが好ましい。また、ランドのサイズを一時的に大きくする金属又は合金は、はんだ中に溶解したときに、はんだ付けされた構造体の全体としての完全性が再加工の間に破壊されたり損失されたりするような温度へ、はんだの融点を上昇させないような性質及び量であることが好ましい。

【0013】本発明は、はんだ接合の強度を最大限にするために、不連続領域に付けることのできるはんだ容積を大きくしようとするはんだ付けが必要な任意の状況に広く適用可能である。

【0014】

【実施例】本発明の理解を容易にするために、添付図面と共に以下の詳細な説明を行う。全ての測定は公称値である。

【0015】実験は、ウェーブはんだ付け（流動はんだ付け）を用いて行った。キャリア材料としては、ポリテトラフルオロエチレン（PTFE）誘電体や臭素化エポキシ誘電体（FR4）を用いた。高密度とは、ランドが小さいという意味だけでなく、ランドが近接して配置されていることも意味する。実装デバイスの範囲は、10ミル（約254ミクロン）グリッド及びチップ当り3137個のランドを有するシリコンチップから、12.8ミル（約325ミクロン）センチに26個のランドを有するチップまでである。

【0016】図1（A）は、配線化カード上のC4ランドを示す。銅を含むランドは、公称幅が5乃至6ミル（約127乃至152ミクロン）、高さが1.8乃至2.0ミル（約46乃至51ミクロン）であり（幾つかは、高さが僅か0.5ミル、幅が4ミルである）、誘電材料の上に配置されている。図1（B）は、図1（A）に感光性レジストが塗布された図を示す。図示された例では、最終的に所望されたはんだの容積から、レジスト膜の高さ、この場合にはバクレル（Vacrel）8130はんだマスクの感光性アクリル酸エポキシ（E. I. DuPont de Nemours and Company の製品）の高さは、3.0ミル（約76ミクロン）であることが必要である。ランド及びランドの周りの境界線は、製造者の推奨する方法で露光及び現像した。図1（C）は、図1（B）の表面を、蒸気噴射マシン（Vapor Blast Manufacturing 製）を使用して、35 p.s.i. 及び1.0 M/min で粗くした図である。表面は、銅の接着を改良するために粗くされる。この場合の銅は、モデル Z600 スパッタリングシステム（Leybold-Heraeus, Inc. 製）でスパッタし、製造者の推奨する方法で付着させた。銅は、少なくとも始めに、多数の市販の無電解浴システム（例えば、Schering and MacDermid によって供給されるシステム）の何れかを用いて、スパッタではなくめっきすることもできる。銅の範囲が、ランド自身を覆い、ランド自身を越えてランド周囲の境界線領域へ及び、更に露出したバクレル側面の上及びバクレルの頂部表面の上へも延出している点に注意されたい。

【0017】バクレルに露光され現像された孔内へのはんだの湿潤（wetting）及び浸透（penetration）を達成するためには、このようにしてバクレルの側面に銅が付着されることが必要である。銅が付着した後、厚さ

1.5ミル（約38ミクロン）のデュボン 3115 フォト

レジスト層を塗布し、図1（D）に示されるように、5乃至6ミル（約127乃至152ミクロン）のランド領域、ランド周囲の境界線及びバクレルの側面に直径9ミル（約229ミクロン）の開口を露光及び現像し、3乃至4ミル（約76乃至102ミクロン）のフレームを元のランドの境界線の周囲に残存させた。図1（E）に示されるように、無電解銅の上に30乃至60マイクロインチ（約0.76乃至1.52ミクロン）のソフト金をめっきした。金は電解めっき浴（Sel-Rex 製の Pur-A-Gold 125）からめっきし、製造者が推奨する手順に従って付着させた。図示された例では金を使用したか、スズ等の他の金属又は合金もまた、同様に有用であることがわかっている。特にスズは、はんだの最終的な融点に及ぼす有害な影響が少ない。金又はパラジウムを使用すると、銅ランドを酸化から保護するという追加の利益が生じるので、はんだ付けが遅れても保管しておくことができる。

【0018】図1（F）に示されるように、3115レジストを剥離して、1.2ミクロンの銅をフラッシュエッチングした。一時的有効ランドサイズは、5乃至6ミル（約127乃至152ミクロン）から9ミル（約229ミクロン）（図示の場合には）へ増大された。ランドは、以下の条件下でウェーブはんだ付けされ、図1

（G）に示されるはんだ形態が得られた。水溶性フラックスを用いて、共晶スズ/鉛（公称では63/37重量%）はんだをウェーブはんだ付けした（Electrovert, Inc. によって提供されるモデル UPK455 を使用した）。キャリアがPTFE誘電体を含む場合、ウェーブ速度は14.375フィート/分（約4.38メートル/分）、ウェーブ角度は5.5度、ウェーブ温度は487.5°F（253℃）とした。キャリアが臭素化エポキシ誘電体を含む場合は、ウェーブ速度は12.25乃至14.125フィート/分（約3.73乃至4.31メートル/分）、ウェーブ角度は4.0乃至5.5度、ウェーブ温度は512乃至525°F（267乃至274℃）とした。（ウェーブはんだ付けの一般的な議論は上述の「電子パッケージングの原理」の第19章に記載されている。）

【0019】約138℃乃至約168℃で、共晶スズ/ビスマス（52/48重量%）等の他の低温はんだを代わりに使用することもできる。

【0020】図2に示される第2の手順では、図2

（A）に示されるように直径約4ミル乃至約6ミル（約102乃至152ミクロン）、高さ約1.8ミル乃至約2.0ミル（約46乃至51ミクロン）のC4ランドが設けられた配線化カードを、プロバイマー（Probimer）で被覆した。プロバイマーは、チバ・ガイギー社によるエポキシベースのはんだマスクである。図2（B）に示されるように、ランドとランドをすぐ包囲する境界線とを、露光及び現像した。接着性を改良するために蒸気噴

射を行った後、図2 (C) に示されるように、約2.4ミクロンの無電解銅を全面に付着させた(後の研究によって無電解Cuは1.2ミクロンで最適化された)。図2 (D) に示されるように、ランド及び境界線を覆って直径約9ミル(約229ミクロン)の円形フォトレジストが残存するように、デュボン3115フォトレジストを塗布、露光及び現像した。図2 (E) に示されるように、フォトレジストで保護されていないCuを、120 g/lの過硫酸ナトリウムと2体積%のH₂SO₄を含む過硫酸溶液中でフラッシュエッチングした。残存したフォトレジストを剥離して、ランド、ランド周囲の境界線、プロバイマーはんだマスクの壁、及びプロバイマーの頂部表面の縁の上に残った銅を露出させ、図2 (F) に示されるように、直径を約9ミル(約229ミクロン)へ一時的に延長させた。無電解銅は、ウェーブはんだ付けの間に熔融共晶Sn/Pbはんだ内へ溶解し、図2 (G) に示されるように元のランド寸法へ収縮した。

【0021】ウェーブ(流動波)通過後、はんだは、無電解付着銅によって被覆された領域全体を湿潤させ、銅を溶解した。その間に、銅を含有するはんだは、銅によって一時的に延長された誘電領域から収縮し、ランド上にのみ残存した。ランドの領域が一時的に拡大されてはんだ付けされる上述のプロセスによって、ランド上のはんだの容積は、一時的拡大を行わない場合よりも約2乃至3倍大きくなった。従って、デバイスは、はんだ容積がより大きいはんだ接合部に取り付けられるので、強度と信頼性が改良される。図3 (A)、(B)、(C)及び(D)に示されるように、配線化カードを横切るランドからランドへのはんだの容積及び高さは一致している。これは、ランドからランドへの容積及び高さ分布が電流分配効果の変動を受けやすいはんだの電解付着よりも改良されている。また本発明のプロセスは、電解はんだ付着で必要とされる幾つかの余分な工程を削除するので、プロセス効率が増大されると共に、コストが低減される。また、ウェーブから付着されたはんだは、電解付着されたはんだよりも純度が高い。最適化プロセスは、はんだが銅を湿潤させるが溶解しないことである。カードが次にリフローされると、はんだは銅を溶解し、引き戻るので、はんだ高さが最大になる。

【0022】チップ結合(HTC Co.製のVapor Phase、3M Co.のFC-70溶媒を使用、215乃至225℃、5 ft./min.)の後、開口は検出されなかった。引っ張り強さ試験は、イーストマン(Eastman)910でチップの頂部へスタッドを接着して、はんだ接合が壊れるまで制御された速度で引っ張ることによって行った(Instron Model1123を使用)。ウェーブはんだ付けされた典型的な先行技術の接合では、引っ張り強度は約1.2乃至約2.4ポンドである。電気めっきされた共晶Sn/Pbはんだは、典型的に、3乃至4ポンドの引っ張り強度を示し

た。しかしながら、本発明の接合は、5.405と5.065ポンドの間の引っ張り強度を示した。更に、直径5乃至6ミル(約127乃至152ミクロン)のランド上にウェーブはんだによって典型的に生成された先行技術のはんだ高さは0.72乃至0.87ミル(約18乃至22ミクロン)であるが、図1に従って生成されたはんだ高さは2.6ミル(約66ミクロン)、図2に従って生成されたはんだ高さは1.3ミル(約33ミクロン)であった。これは、従来のはんだ付けプロセスよりも高さが2乃至3倍高くなったことを示す。5.5ミル(約140ミクロン)のC4と、直径7.5ミル(約191ミクロン)のウェーブはんだランドとに関する継続研究によって、均一性が最適な2.15ミル(約55ミクロン)のはんだ高さが得られた。

【0023】図4 (A)、(B)及び(C)に示されるSEMは、本発明を用いて得られる典型的な結果であり、図5 (A)及び(B)に示される先行技術の方法によって典型的に得られる結果と対比している。実装されたセラミックチップ1は、各SEMの頂部にある。C4接合2はセラミック頂部の丸くなった領域として示されている。共晶3はC4を包囲している。共晶が結合されているパッド/ランド領域4は、平坦な下向きの面として示されている。

【0024】図6 (A)は、はんだマスク6及びC4ランド4が付着された基板1を示している。はんだ7は先行技術のウェーブはんだ手段によってランド4へ付けられている。図6 (B)は、ランド4を示しており、本発明のプロセスの実施では、ランドをすぐ包囲する領域は金属の付着によって一時的に延長されており、延出されたランド5が形成されている。図6 (C)は、ウェーブはんだ付けによってはんだ3が設けられた延長ランド5を示している。図6 (D)は、はんだ3がリフローされた後のランド4を示す。一時的なランド5がはんだ3の中に溶解されることによって、得られたはんだ溶液は湿潤できない領域から収縮し、容積の大きいはんだ接合を形成する。容積の大きいはんだが結合された表面は示されていない。本発明の方法は、「強化型ウェーブはんだ付け(enhanced wave soldering)」と称される。

【0025】ランド領域を一時的に延長するために使用され、はんだ内に導入される金、銅又は他の金属又は合金の量を少なくするために、無電解銅の一時的延長部の上に浸漬スズを用いる本発明の追加の実施例を準備した。浴はCuposit LT-26(Shipley, Inc.製)を使用し、製造者の指示に従って付着させた。浸漬スズは、無電解(即ち自触媒)プロセスではなく、交換(即ち置換)プロセスである。従って、もし無電解銅の厚さが、始め、例えば50マイクロインチ(約1.3ミクロン)であり、25マイクロインチ(約0.64ミクロン)の浸漬スズ層がその上に付着されると、25マイクロインチ(約0.64ミクロン)のスズの下に25マイクロ

ンチ (約0.64ミクロン) の銅層が含まれる2重層が得られ、はんだ接合に追加のメタラジを提供するためになお十分な金属である。その後、リフローはんだ付けプロセスの間に、無電解銅層と同様に浸漬スズ層は、はんだの中へ溶解する。はんだ内の過剰な量の銅は融点を上昇させるが、過剰のスズは融点を上昇させないので、銅の少なくとも一部をスズで置き換えることによって、はんだの融点を上昇させることのできる銅の量が減少される。必要とされる任意の再加工を非破壊的な温度で達成できるように、はんだの融点を低く保つことは重要である。無電解銅の上にスズ層が存在することによって、はんだの湿潤性が改良される。

【0026】ウェーブはんだ付けについて、高密度回路環境、特にC4テクノロジーを用いる直接チップ取付けパッケージと関連して論議してきたが、本発明のプロセスは他のはんだ付け技法及び他の環境へも適用することができる。

【0027】

【発明の効果】上記のように、本発明の方法によって、ランド上に收容することのできるはんだの容積が増大されるので、ランドと表面実装デバイスとの間のはんだ接合が強力になり、信頼性が向上される。

【図面の簡単な説明】

【図1】(A)、(B)、(C)、(D)、(E)、(F)及び(G)は、本発明の1つの実施例の主要なプ

ロセス工程を説明する図である。

【図2】(A)、(B)、(C)、(D)、(E)、(F)及び(G)は、本発明の第2の実施例の主要なプロセス工程を説明する図である。

【図3】(A)、(B)、(C)及び(D)は、本発明の方法による処理の後、ランド上で容積が増大されたはんだの断面図を示す。

【図4】(A)、(B)及び(C)は、本発明を用いて得られたはんだ容積の増大を描く、走査型電子顕微鏡(SEM)による断面図を示す。

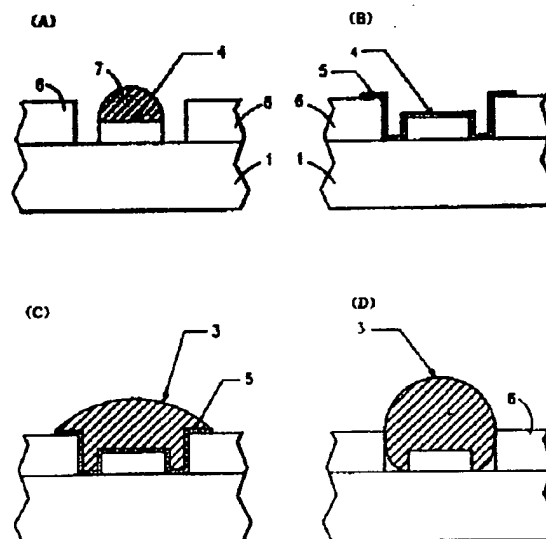
【図5】(A)及び(B)は、本発明の方法を使用しない場合の典型的な結果を説明する、走査型電子顕微鏡(SEM)による断面図を示す。結果は、はんだ容積が小さく、接合も弱い。

【図6】(A)は、先行技術の方法によってはんだ付けされたランドを示す。(B)、(C)及び(D)は、本発明のプロセスの各段階を示しており、(A)は(D)と比較することができる。

【符号の説明】

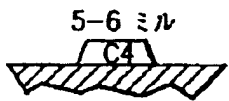


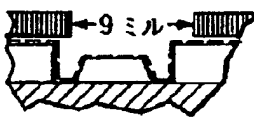


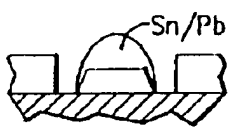
- 1 基板
- 3 はんだ
- 4 C4ランド
- 5 延長ランド
- 6 はんだマスク
- 7 はんだ

【図6】

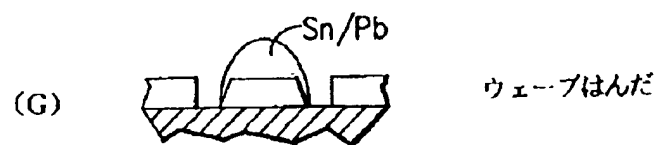
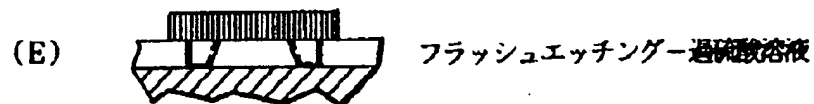
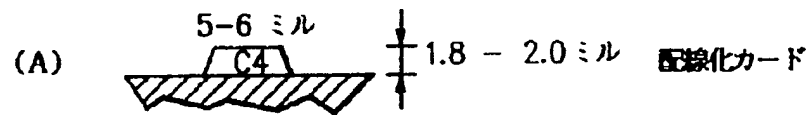


【図1】

Cu/Auめっき/はんだウェーブ

- (A)  5-6 ミル 1.8 - 2.0 ミル 配線化カード
- (B)  3.0 ミル 水性バクレル (8130) はんだマスク
- (C)  蒸気焼付
無電解Cuめっき1.2ミクロン
- (D)  9 ミル 1.5ミルフォトリジスト (デュボン3115)
塗布/露光/現像
9.0ミル開口
- (E)  ソフトAuめっき30~60マイクロインチ
又は浸漬スズ
- (F)  レジスト剥離
フラッシュエッチング1.2ミクロンCu
- (G)  Sn/Pb ウェーブはんだ共晶Sn/Pb

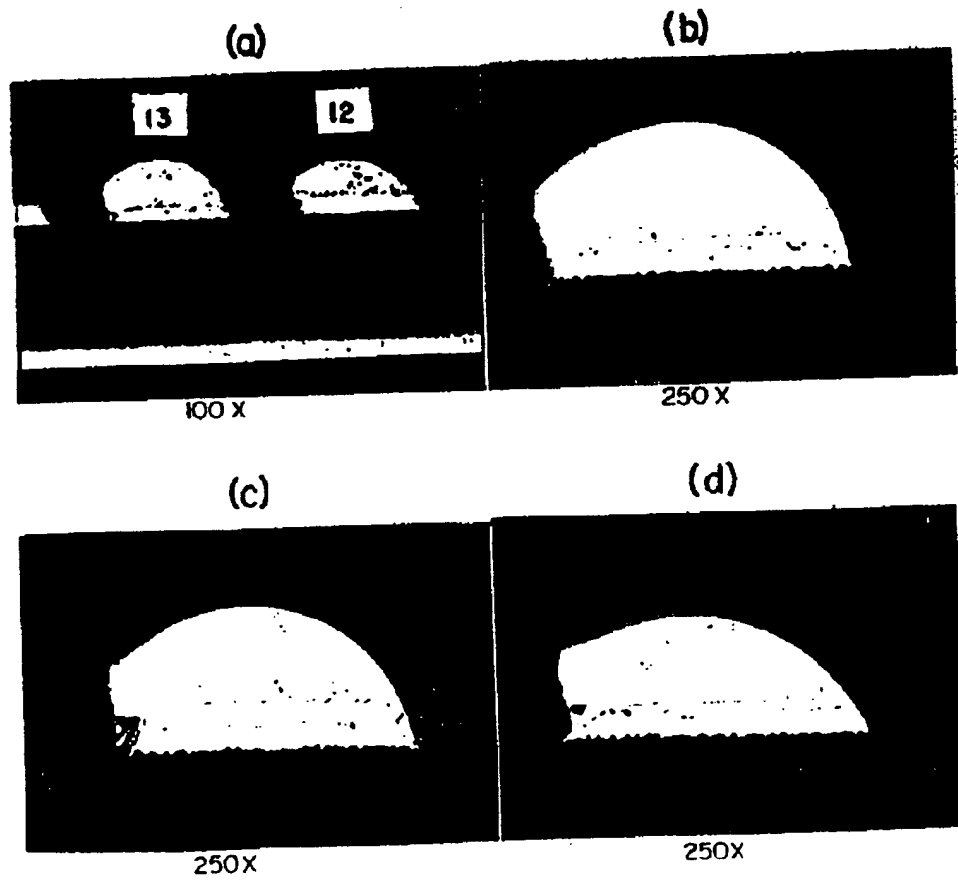
【図2】

Cuめっき/はんだウェーブ

【図3】

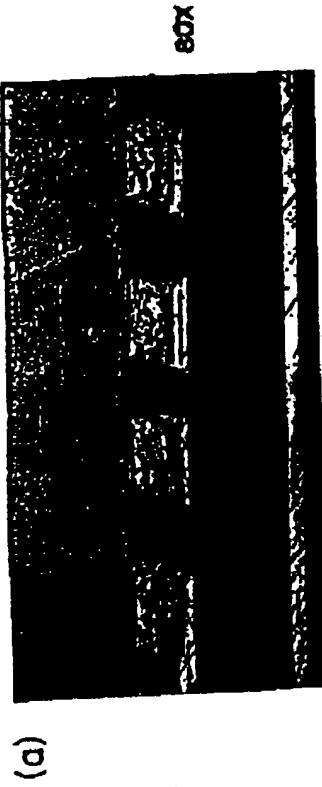
金めっき／はんだウェーブ

はんだウェーブ後の断面：電解はんだよりも
はんだ芯線及び重量が一貫している典型的な写真
金及び無電解銅層が溶解される

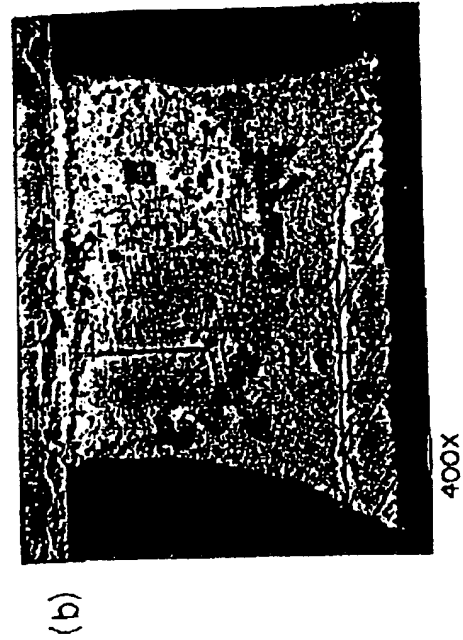
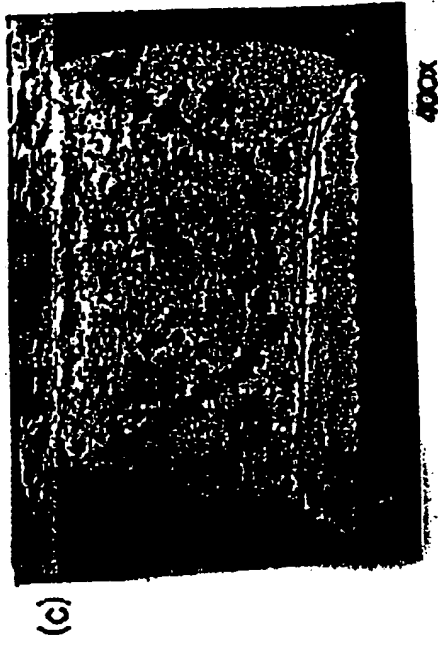


【図4】

代替のスズ、鉛適用例
金めっき/はんだウェーブ

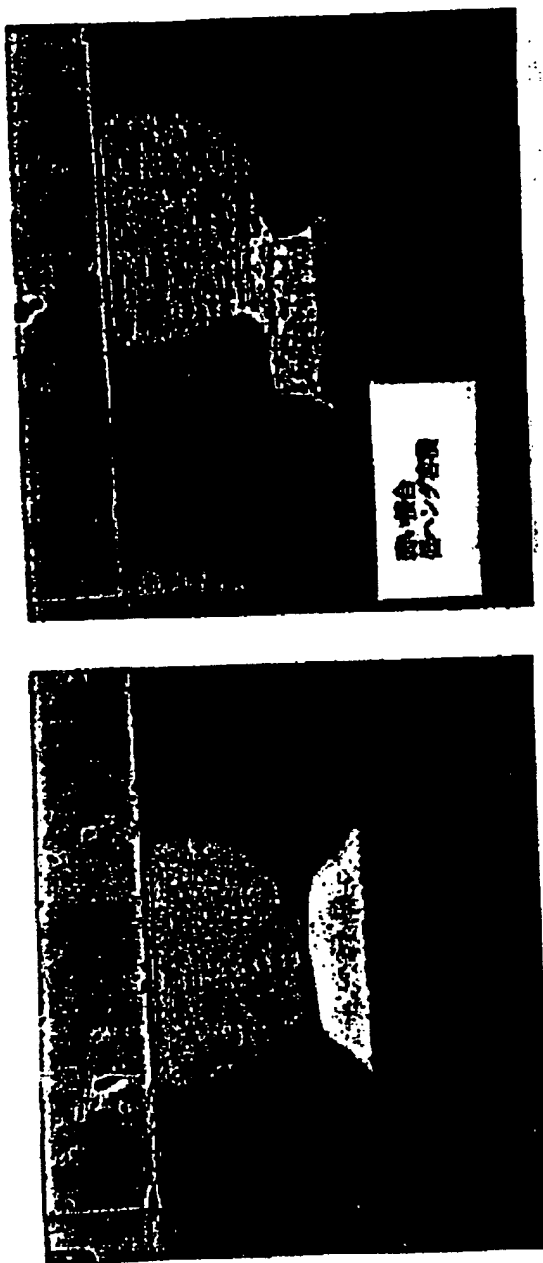


1-セラミック
2-C4
3-共晶
4-バンプランド



【図5】

通常のウェーブはんだ



【手続補正書】

【提出日】平成4年10月20日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】 (A)、(B)、(C) 及び (D) は、本発明の方法による処理の後、ランド上で容積が増大されたはんだを示す金属組織の断面写真である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】 (A)、(B) 及び (C) は、本発明を用いて得られたはんだ容積の増大を示す金属組織の走査型電子顕微鏡 (SEM) 断面写真である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】 (A) 及び (B) は、本発明の方法を使用しない場合の典型的な結果を説明する金属組織の走査型電子顕微鏡 (SEM) 断面写真を示す。結果は、はんだ容積が小さく、接合も弱い。

*

* 【手続補正4】

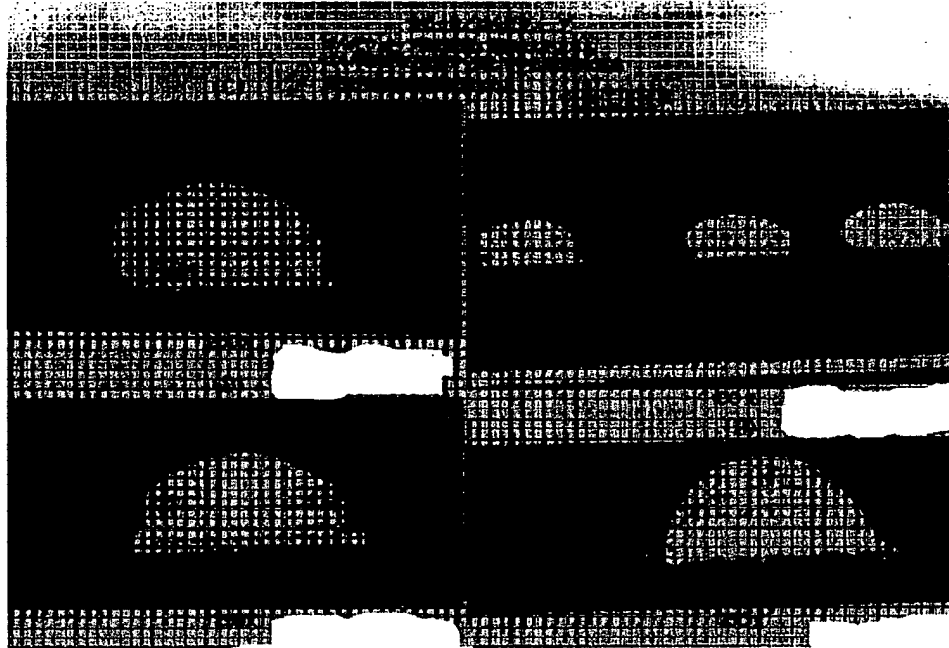
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



【手続補正5】

【補正対象書類名】図面

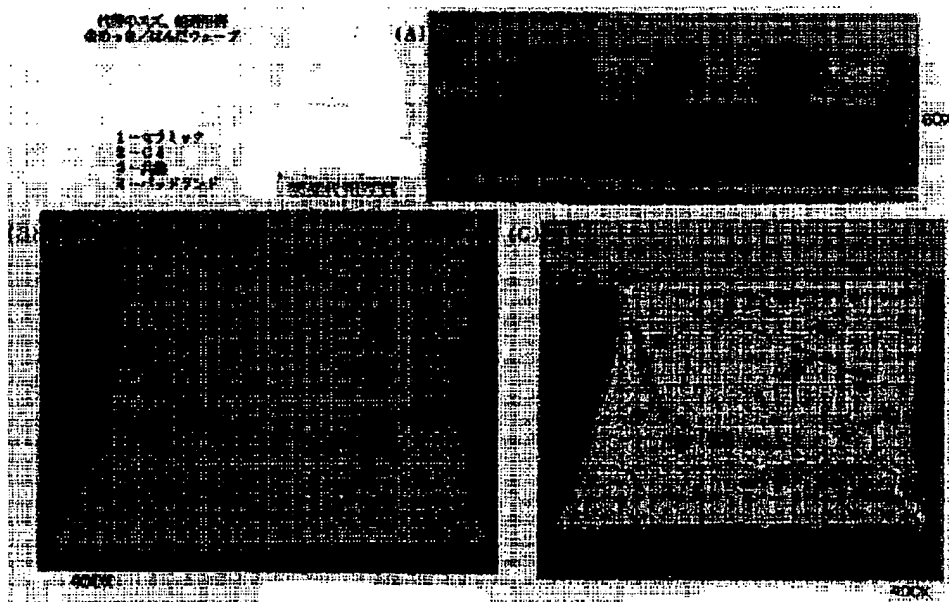
【補正対象項目名】図4

※ 【補正方法】変更

【補正内容】

※

【図4】



【手続補正6】

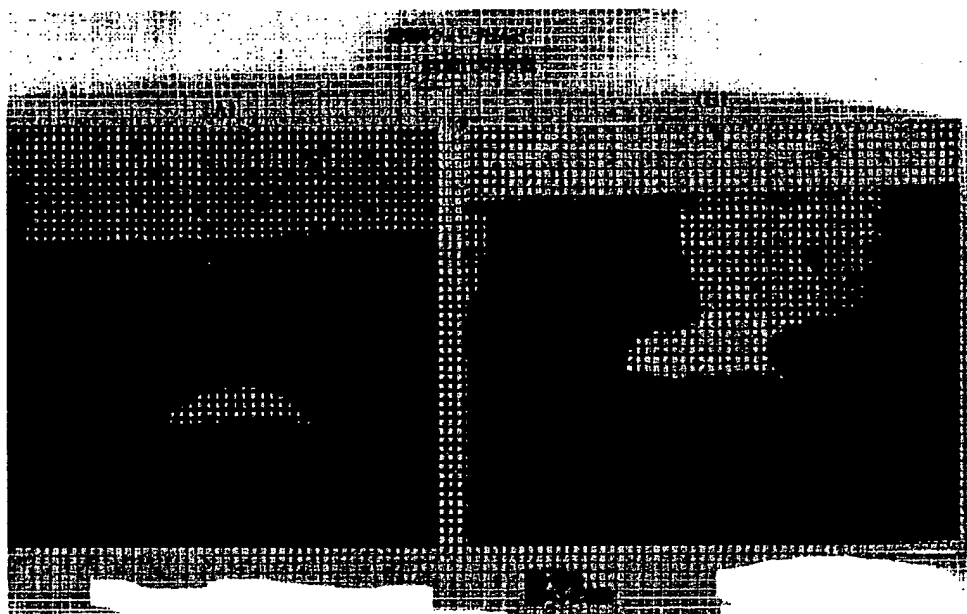
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



フロントページの続き

(72)発明者 スティーヴン ルイス ハナコヴィック
アメリカ合衆国13850、ニューヨーク州ヴ
ェスタル、ウィナズ アヴェニュー
401

(72)発明者 ヴォヤ リスタ マーコヴィック
アメリカ合衆国13760、ニューヨーク州エ
ンドウェル、ジョエル ドライヴ 3611

(72)発明者 ダニエル スコット ニードリック
アメリカ合衆国55944、ミネソタ州カッソ
ン、ノースウエスト、セカンド アヴェニ
ュー 108

(72)発明者 ギャリー ポール ヴラサク
アメリカ合衆国13827、ニューヨーク州オ
ウゴ、ロンドンデリー レイン 13

(72)発明者 リチャード スチュアート ザー
アメリカ合衆国13732、ニューヨーク州ア
パラチン、ボウン レイン 3

(72)発明者 リチャード チャールズ センガー
アメリカ合衆国13850、ニューヨーク州ヴ
ェスタル、クラーク ストリート 104